

■概要

SM5950BM は、デジタルオーディオ信号のサンプルレートを非同期に変換する機能をもつサンプルレートコンバータ専用 LSI です。入出力インターフェースは、16/20/24 ビット語長の入力データ、16/20/24 ビット語長の出力データに対応しています。また、デジタルディエンファシスフィルタ、ダイレクトミュートなどの機能も内蔵しています。

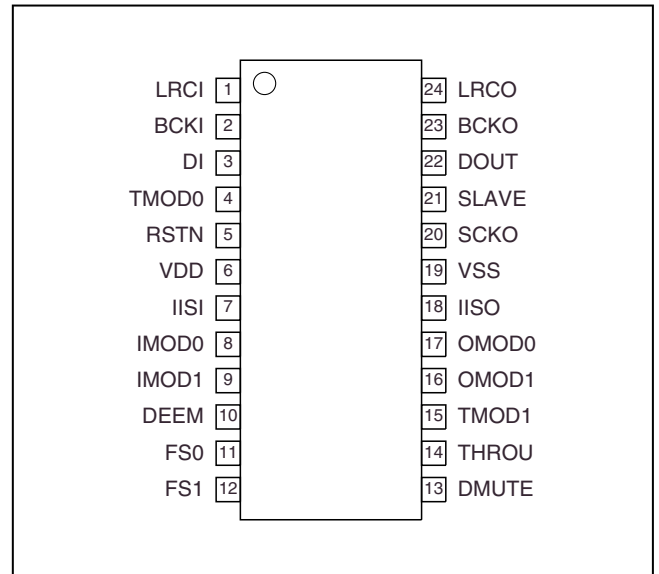
■特長

機能

- L/R の 2 チャンネル処理 (ステレオ処理)
- 入力サンプルレート範囲 : 20kHz ~ 100kHz
- 出力サンプルレート範囲 : 30kHz ~ 50kHz
- 動作可能なサンプルレート変換比 (fso/fsi) (*1)
 - 0.45 倍 ~ 2.205 倍の任意
 - (*1) fsi = 入力サンプルレート
 - fso = 出力サンプルレート
- 入力側、出力側のタイミング(クロック入力)は非同期
- システムクロック入力
 - 入力側システムクロック : 1fsi (LRCI 端子で代用)
 - 出力側システムクロック : 512fso (SCKO 端子に inputs)
- ディエンファシスフィルタ機能
 - IIR フィルタ構成
 - 44.1kHz, 48kHz, 32kHz の fsi に対応
- ダイレクトミュート機能
- スルーモード
 - 入力データのダイレクト出力が可能
- 出力データ用クロック (LRCO, BCKO)
 - スレープモード : 外部より入力する
 - マスターモード : 出力側システムクロック入力をもとに内部で発生し出力する
- 丸め演算処理
 - 通常丸め処理
- 5V tolerant 入力端子により 5V デバイスからの直接入力が可能
- 3.3V 単一電源
- パッケージ : 24 ピン SSOP

■端子配置図

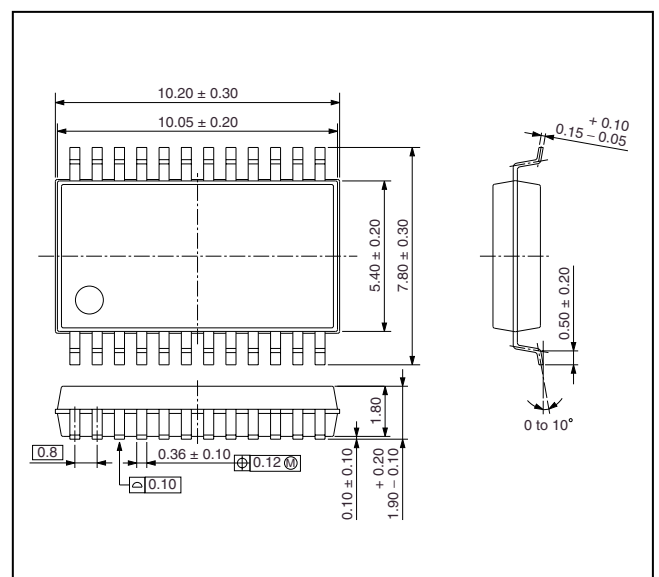
(Top view)



■外形寸法図

(Unit : mm)

Weight : 0.23g



注) 公差なき寸法は参考値

■オーダーインフォメーション

Device	Package
SM5950BM	24-pin SSOP

■特長

インターフェース

- 入力データフォーマット
2の補数形式/MSBファースト/LR交互シリアル
IIS/ 非 IIS フォーマット

フォーマット	IMOD0	IMOD1	IISI
16bit MSB ファースト 後詰め	L	L	L
20bit MSB ファースト 後詰め	H	L	L
24bit MSB ファースト 後詰め	L	H	L
MSB ファースト前詰め (有効データ先頭 16bit)	H	H	L
IIS (有効データ先頭 16bit)	H or L	H or L	H

- 出力データフォーマット
2の補数形式/MSBファースト/LR交互シリアル
ビットクロック連続 (64fso)

フォーマット	OMOD0	OMOD1	IISO
16bit MSB ファースト 後詰め	L	L	L
20bit MSB ファースト 後詰め	H	L	L
24bit MSB ファースト 後詰め	L	H	L
MSB ファースト前詰め (16bit 出力)	H	H	L
IIS (16bit 出力)	H or L	H or L	H

構造

- シリコンゲート CMOS

用途

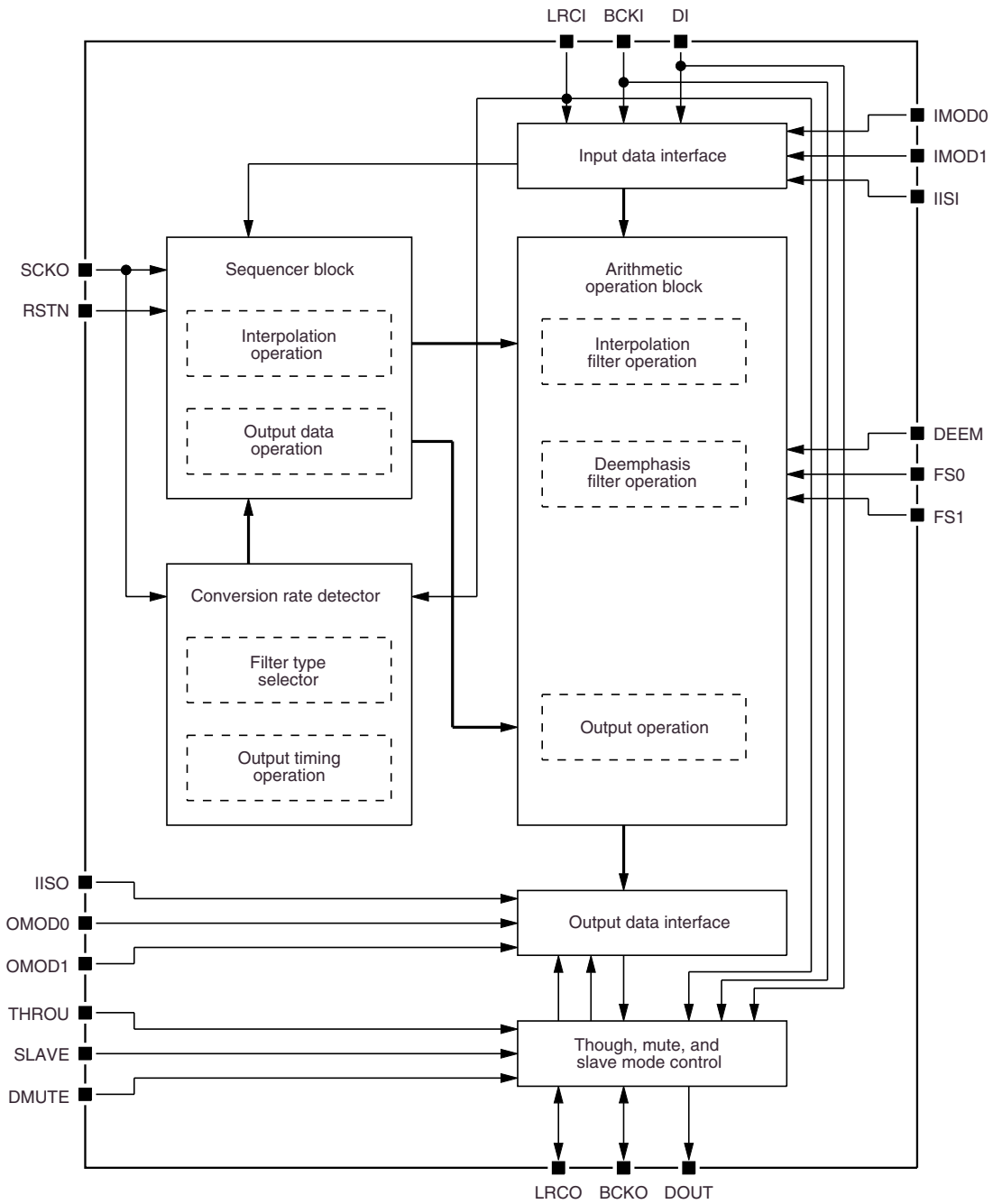
- デジタルオーディオ装置間のサンプルレート
変換 (AV アンプ, CD-R/RW, DAT, MD, DVC 等)
- 録音 / 編集機器のサンプルレート変換

変換性能

- 内部データ語長 : 20 ビット
- ディエンファシスフィルタ特性 (IIR フィルタ)
理想フィルタ特性からの偏差
ゲイン特性 $\pm 0.03\text{dB}$
- アンチエイリアジング LPF の特性 (6 種類の FIR
フィルタ)
入出力サンプルレート変換比による最適
フィルタの自動選択
 - 1) アップコンバート用 LPF
1.0 ~ 2.205 倍
 - 2) ダウンコンバート用 LPF I
0.92 倍近傍 : 48.0kHz \rightarrow 44.1kHz
 - 3) ダウンコンバート用 LPF II
0.73 倍近傍 : 44.1kHz \rightarrow 32.0kHz
 - 4) ダウンコンバート用 LPF III
0.67 倍近傍 : 48.0kHz \rightarrow 32.0kHz
 - 5) ダウンコンバート用 LPF IV
0.50 倍近傍 : 96.0kHz \rightarrow 48.0kHz
 - 6) ダウンコンバート用 LPF V
0.45 倍近傍 : 96.0kHz \rightarrow 44.1kHz
 通過帯域リップル $\pm 0.0001\text{dB}$
 阻止帯域減衰量 $> 98\text{dB}$
- 変換に際して付加されるノイズ量
内部演算ノイズ : -96dB 以下
出力丸めノイズ :
16 ビット出力時 -98dB
20 ビット出力時 -122dB
24 ビット出力時 -146dB
総合出力理論 S/N

出力信号 ビット数	入力信号ビット数		
	16 ビット	20 ビット	24 ビット
16 ビット	-92.5dB	-94.0dB	-94.0dB
20 ビット	-93.9dB	-96.2dB	-96.2dB
24 ビット	-93.9dB	-96.2dB	-96.2dB

■ブロック図



■端子説明

端子番号	端子名	I/O	機能	設定	
				H	L
1	LRCI	I	サンプルレートクロック入力端子 (fsi)		
2	BCKI	I	ビットクロック入力端子 (32fsi ~ 64fsi)		
3	DI	I	データ入力端子		
4	TMOD0	I	IC テスト設定端子 (通常はL で使用して下さい)	Test	Normal
5	RSTN	I	リセット入力端子		Reset
6	VDD	-	VDD 端子 (3.3V)		
7	IISI	I	IIS 入力設定端子		
8	IMOD0	I	入力フォーマット設定端子 0		
9	IMOD1	I	入力フォーマット設定端子 1		
10	DEEM	I	ディエンファシス設定端子	ON	OFF
11	FS0	I	ディエンファシス周波数設定端子 0		
12	FS1	I	ディエンファシス周波数設定端子 1		
13	DMUTE	I	ダイレクトミュート設定端子	ON	OFF
14	THROU	I	スルーモード設定端子	Through	SRC
15	TMOD1	I	IC テスト設定端子 (通常はL で使用して下さい)	Test	Normal
16	OMOD1	I	出力フォーマット設定端子 1		
17	OMOD0	I	出力フォーマット設定端子 0		
18	IISO	I	IIS 出力設定端子		
19	VSS	-	GND 端子 (0V)		
20	SCKO	I	出力側システムクロック入力端子 (512fso)		
21	SLAVE	I	スレーブ設定端子	Slave	Master
22	DOUT	O	データ出力端子		
23	BCKO	I/O	ビットクロック入出力端子 (64fso)		
24	LRCO	I/O	サンプルレートクロック入出力端子 (fso)		

■絶対最大定格

$V_{SS} = 0V$, V_{DD} 端子電圧 = V_{DD}

項目	記号	条件	定格	単位
電源電圧	V_{DD}		-0.3 ~ 4.6	V
入力電圧	V_I		-0.3 ~ 5.5	V
出力電圧	V_O		-0.3 ~ $V_{DD} + 0.3$	V
保存温度	T_{STG}		-55 ~ 125	°C
消費電力	P_W		400	mW

(注) 電源の投入 / 切断時にも適応します。

■推奨動作条件

$V_{SS} = 0V$, V_{DD} 端子電圧 = V_{DD}

項目	記号	条件	規格			単位
			MIN	TYP	MAX	
電源電圧	V_{DD}		3.0	3.3	3.6	V
動作温度	T_{OPR}		-40	25	85	°C

■電気的特性

DC 特性

$V_{SS} = 0V$, $V_{DD} = 3.0 \sim 3.6V$, $T_a = -40 \sim 85^\circ C$

項目	端子	記号	条件	規格			単位
				MIN	TYP	MAX	
消費電流	VDD	I_{DD}	(*A)		22.0	30.0	mA
入力電圧	(*1)(*3)	V_{IH}		2.0		5.5	V
		V_{IL}		0		0.7	V
出力電圧	(*2)(*3)	V_{OH}	$I_{OH} = -2.0mA$	2.4		V_{DD}	V
		V_{OL}	$I_{OL} = 2.0mA$	0		0.4	V
入力リーク電流	(*1)(*3)	I_{LH}	$V_{IN} = V_{DD}$	-1.0		1.0	μA
		I_{LL}	$V_{IN} = 0V$	-1.0		1.0	μA

(*A) 全出力端子無負荷、システムクロック周波数 $F_{SCKO} = 24.576MHz$ 、入力ワードクロック周波数 $F_{LRCl} = 48kHz$ 、電源電圧 $V_{DD} = 3.3V$

(注) 端子については、下記「端子種別」をご参照下さい。

端子種別

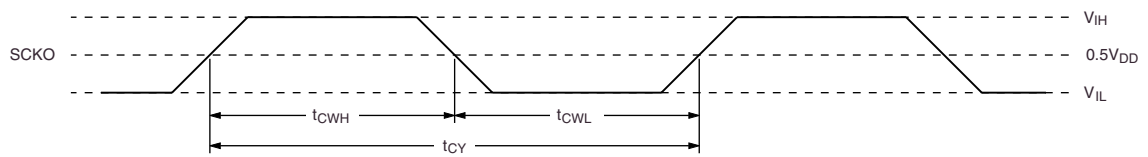
記号	種別	端子名
(*1)	入力端子	LRCl, BCKI, DI, TMod0, RSTN, IISi, IMOD0, IMOD1, DEEM, FS0, FS1, DMUTE, THROU, TMod1, OMOD1, OMOD0, IISO, SCKO, SLAVE
(*2)	出力端子	DOUT
(*3)	入出力端子	BCKO, LRCO

注) SM5950BM は、入力端子、入出力端子に 5V tolerant I/O を使用しております。よって、入力電圧は、VDD が動作保証電圧範囲内であれば最大 5.5V まで印加可能です。VDD が動作保証電圧以下で VDD 電圧以上 5.5V 以下の電圧が入力端子に印加された場合、デバイス自身の破壊には至りませんが、入力端子から電源電圧 (VDD) への逆流電流が発生する可能性があります。また、入出力端子が、入力状態に設定されている場合は、最大 5.5V までの電圧印加が可能です。出力状態に設定されている場合は、VDD レベルまでしか出力電圧は上昇しません。出力状態に設定して外部プルアップ等で VDD レベル以上の電圧に設定することは禁止します。

AC 特性

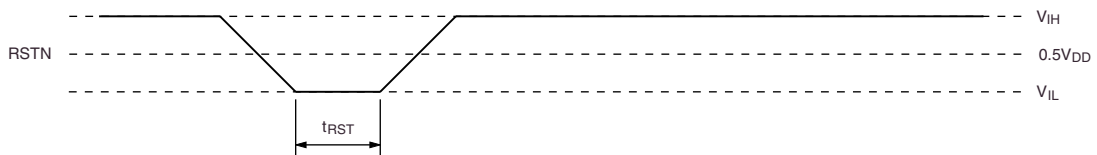
出力側システムクロック (SCKO 端子入力)

項目	記号	条件	規格			単位
			MIN	TYP	MAX	
クロックパルス周期	t_{CY}		39.0		65.1	ns
クロックパルス幅 (H 区間)	t_{CWH}		15.6		39.1	ns
クロックパルス幅 (L 区間)	t_{CWL}		15.6		39.1	ns
クロックパルス duty			40		60	%



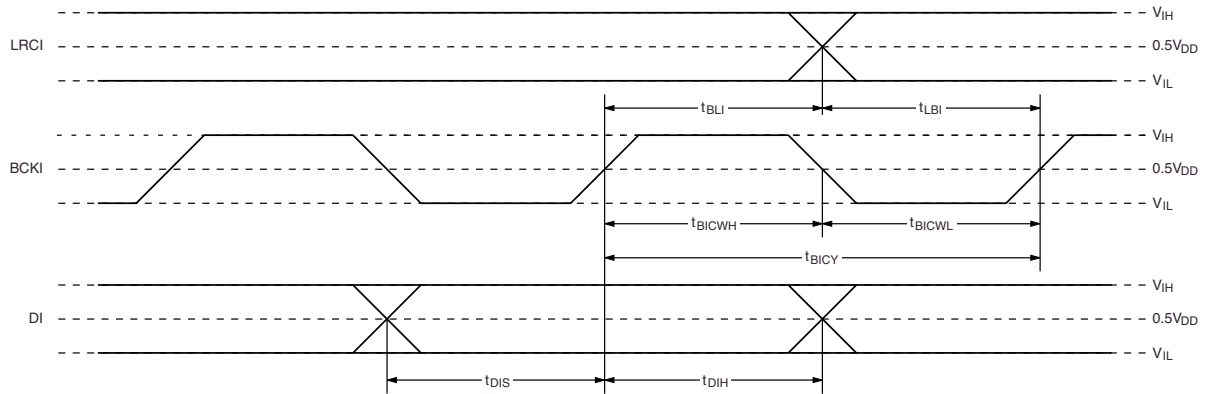
リセット入力 (RSTN 端子入力)

項目	記号	条件	規格			単位
			MIN	TYP	MAX	
RSTN パルス幅	t_{RST}		39			ns



シリアル入力 (LRCI, BCKI, DI 端子入力)

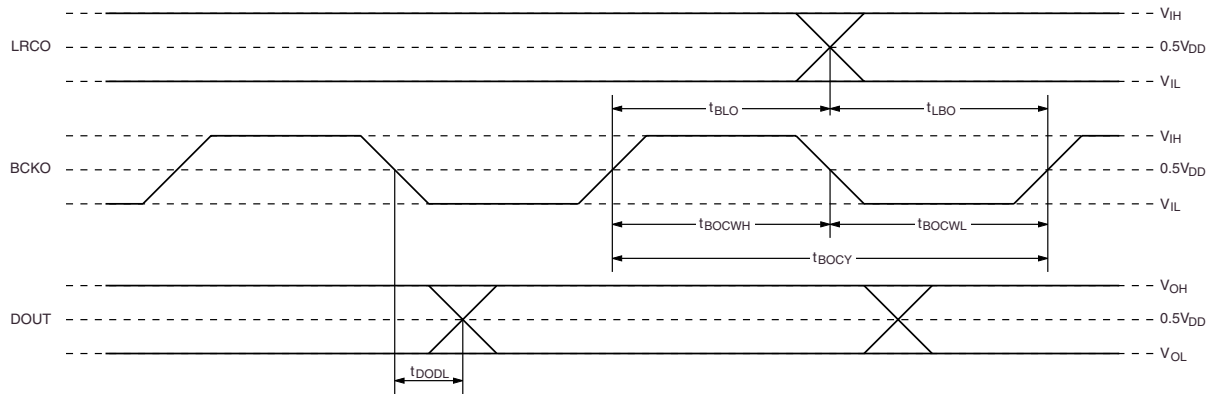
項目	記号	条件	規格			単位
			MIN	TYP	MAX	
LRCI 周期	t_{LICY}		10		50	μs
BCKI パルス周期	t_{BICY}		156.25		1562.5	ns
BCKI パルス幅 (H 区間)	t_{BICWH}		60			ns
BCKI パルス幅 (L 区間)	t_{BICWL}		60			ns
DI セットアップタイム	t_{DIS}		30			ns
DI ホールドタイム	t_{DIH}		30			ns
ラスト BCKI 立ち上がり → LRCI エッジ	t_{BLI}		30			ns
LRCI エッジ → ファースト BCKI 立ち上がり	t_{LBI}		30			ns



シリアル出力 (LRCO, BCKO 端子入力, DOUT 端子出力)

(SLAVE = H 時)

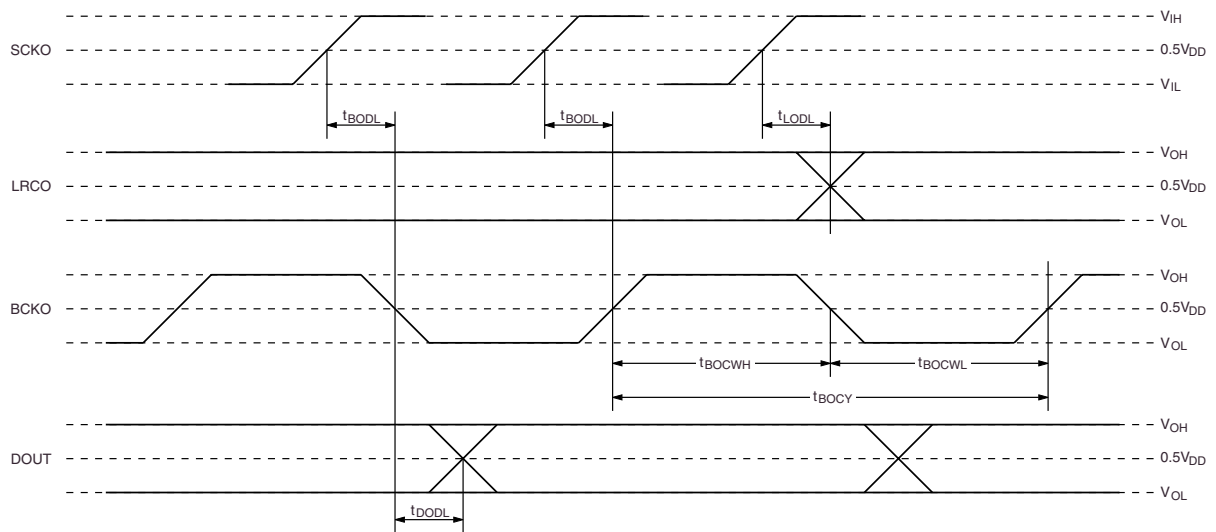
項目	記号	条件	規格			単位
			MIN	TYP	MAX	
LRCO 周期	t_{LOCY}		20		33.34	μs
BCKO パルス周期	t_{BOCY}		312.5		520.8	ns
BCKO パルス幅 (H 区間)	t_{BOCWH}		125			ns
BCKO パルス幅 (L 区間)	t_{BOCWL}		125			ns
ラスト BCKO 立ち上がり \rightarrow LRCO エッジ	t_{BLO}		30			ns
LRCO エッジ \rightarrow ファースト BCKO 立ち上がり	t_{LBO}		30			ns
DOUT 出力遅延	t_{DODL}	$C_L = 15\text{pF}$			30	ns



シリアル出力 (LRCO, BCKO, DOUT 端子出力)

(SLAVE = L 時)

項目	記号	条件	規格			単位
			MIN	TYP	MAX	
LRCO 周期	t_{LOCY}			512		t_{CY}
LRCO パルス幅 (H 区間)	t_{LOCWH}			256		t_{CY}
LRCO パルス幅 (L 区間)	t_{LOCWL}			256		t_{CY}
BCKO パルス周期	t_{BOCY}			8		t_{CY}
BCKO パルス幅 (H 区間)	t_{BOCWH}			4		t_{CY}
BCKO パルス幅 (L 区間)	t_{BOCWL}			4		t_{CY}
BCKO 出力遅延	t_{BODL}	$C_L = 15pF$			30	ns
LRCO 出力遅延	t_{LODL}	$C_L = 15pF$			30	ns
DOUT 出力遅延	t_{DODL}	$C_L = 15pF$			30	ns

 t_{CY} = 出力側システムクロック (SCKO 端子入力) 周期

■機能説明

入力インターフェース設定 (IMOD0, IMOD1, IISI 端子)

入力データフォーマット

2の補数形式/MSBファースト/LR交互シリアル

フォーマット	IMOD0	IMOD1	IISI
16bit MSB ファースト後詰め	L	L	L
20bit MSB ファースト後詰め	H	L	L
24bit MSB ファースト後詰め	L	H	L
MSB ファースト前詰め (有効データ: 先頭 16bit)	H	H	L
IIS (有効データ: 先頭 16bit)	H or L	H or L	H

入力タイミング

各入力フォーマットに応じて「 タイミングチャート (入力タイミング)」に示すタイミングで入力して下さい。

出力側システムクロック (SCKO 端子)

出力側のサンプリング周波数 (fso) の 512 倍の周波数のクロックを入力して下さい。マスターモードでは、このクロックから分周して LRCO, BCKO を作成します。また、内部演算回路のシステムクロックとしても使用されます。

出力インターフェース設定 (OMOD0, OMOD1, IISO, THROU, SLAVE 端子)

出力データフォーマット

2の補数形式/MSBファースト/LR交互シリアル

フォーマット	OMOD0	OMOD1	IISO
16bit MSB ファースト後詰め	L	L	L
20bit MSB ファースト後詰め	H	L	L
24bit MSB ファースト後詰め	L	H	L
MSB ファースト前詰め (16bit 出力)	H	H	L
IIS (16bit 出力)	H or L	H or L	H

出力モード選択

端子設定		機能		
THROU	SLAVE	モード	説明	LRCO, BCKO 端子
L	L	マスター	LRCO, BCKO は、SCKO 入力クロックから分周して作られる	出力端子となる
	H	スレーブ	LRCO, BCKO は、外部から供給される	入力端子となる
H	H or L	スルー	LRCO, BCKO, DOUT は、LRCl, BCKI, DI 入力そのまま出力される (注) DMUTE は有効	出力端子となる

出力タイミング

各出力フォーマットのタイミングは、「 タイミングチャート (出力タイミング)」を参照して下さい。

スレーブモード時は、各出力フォーマットに応じて「 タイミングチャート (出力タイミング)」に示すタイミングで LRCO, BCKO を入力して下さい。また、スルーモードでは、出力データフォーマット設定に関係なく入力された LRCl, BCKI, DI がそのまま出力されます。

システムリセット (RSTN 端子)

下記の場合、正常な変換動作を行うため、リセットを行う必要があります。リセットは RSTN 端子に L パルスを印加することで行いますが、実際には L から H への立ち上がりでリセットとなります。

- 電源投入時

電源電圧および、LRCl, BCKI, SCKO (スレーブ時は LRcO, BCKO も含む) の安定後にリセットを解除 (RSTN = L → H) して下さい。

- LRCl, BCKI の非連続状態が発生した場合

サンプリング周波数の切り換え時や前段 IC の状態によるクロック停止時など、LRCl, BCKI がダイナミックに切り換わる、もしくは非連続な状態です。LRCl, BCKI が安定後、リセットを解除 (RSTN = L → H) して下さい。

- SCKO (スレーブ時は LRcO, BCKO も含む) の非連続状態が発生した場合

サンプリング周波数の切り換え時や後段 IC の状態によるクロック停止時など、SCKO, LRcO, BCKO がダイナミックに切り換わる、もしくは非連続な状態です。SCKO, LRcO, BCKO が安定後、リセットを解除 (RSTN = L → H) して下さい。

リセットが必要なのは、このような状態が発生した場合、変換比の算出において非連続な状態を元にした異常な変換比となり、出力データが異常な値となる場合があります。

リセット期間中の出力状態

DOUT 端子は L 固定となります (リセット解除後は、下記「ダイレクトミュート」の項参照)。また、マスターモードにおいては、LRcO, BCKO 端子も L 固定となります。

ダイレクトミュート (DMUTE 端子)

ダイレクトミュートの ON/OFF

DMUTE 端子設定	機能
L	設定後の出力ワードからオーディオデータ出力となります
H	設定後の出力ワードから 0 データとなります

その他のミュート動作

リセット入力時にもダイレクトミュートがかかります。

RSTN 端子設定	機能
L	設定後の出力ワードから 0 データとなります
H	設定後の 8 出力ワード後から演算データ出力となります

サンプルレート変換

入力と出力のサンプルレートの変換比は、0.45 倍 ~ 2.205 倍の任意の変換レートで動作が可能です。入力側のサンプリングレート (fsi) は、20kHz ~ 100kHz に対応しており、出力側のサンプルレート (fso) は、30kHz ~ 50kHz に対応しています。ただし、サンプルレート変換比の制限から fsi = 96kHz, fso = 32kHz といった変換はできません。

アンチエイリアジングフィルタ選択

サンプルレート変換を行う場合のアンチエイリアジングフィルタとして下記の6種類のフィルタが用意されており、入力側サンプリング周波数 (LRCI を使用) と出力側サンプリング周波数 (SCKO を基準として計算) の比を自動的に測定し、変換比に応じて最適なアンチエイリアジングフィルタを自動的に選択します。

フィルタ	fs 変換比 (fso/fsi 測定算出値)	選択範囲	対応する変換例
1	1.0 ~ 2.205 倍	0.969697 倍以上	UP コンバージョン
2	0.91875 倍	0.864865 ~ 0.969697 倍	48.0 → 44.1
3	0.72562 倍	0.711111 ~ 0.864865 倍	44.1 → 32.0
4	0.66667 倍	0.627451 ~ 0.711111 倍	48.0 → 32.0
5	0.50000 倍	0.492308 ~ 0.627451 倍	96.0 → 48.0
6	0.459375 倍	0.492308 倍以下	96.0 → 44.1

選択されたアンチエイリアジングフィルタの fs 変換比と実際のサンプルレート変換比が一致していなかった場合、次のような現象が生じます。

採りうる状況	発生する現象
実際のサンプルレート変換比が選択されたフィルタの変換比より低い場合	オーディオ帯域の高域に折り返し雑音を生じます
実際のサンプルレート変換比が選択されたフィルタの変換比より高い場合	本来は出力可能なオーディオ帯域の高域がカットされます

fs 変換比が一定でない場合、変動に対してゆっくりと追従しますが、追従過程でオーディオデータ出力にノイズが発生する可能性があります。

変換性能

- 内部データ語長：20 ビット
- ディエンファシスフィルタ特性の理想フィルタ特性からの偏差：ゲイン特性 $\pm 0.03\text{dB}$
- アンチエイリアジングフィルタ特性：通過帯域リップル $\pm 0.0001\text{dB}$
阻止帯域減衰量 $> 98\text{dB}$
- 変換に際して付加されるノイズ量
 - 内部演算ノイズ：-96dB 以下
 - 出力丸めノイズ：16 ビット出力時 -98dB
20 ビット出力時 -122dB
24 ビット出力時 -146dB

総合出力理論 S/N

出力信号ビット数	入力信号ビット数		
	16 ビット	20 ビット	24 ビット
16 ビット	-92.5dB	-94.0dB	-94.0dB
20 ビット	-93.9dB	-96.2dB	-96.2dB
24 ビット	-93.9dB	-96.2dB	-96.2dB

アンチエイリアジングフィルタ特性

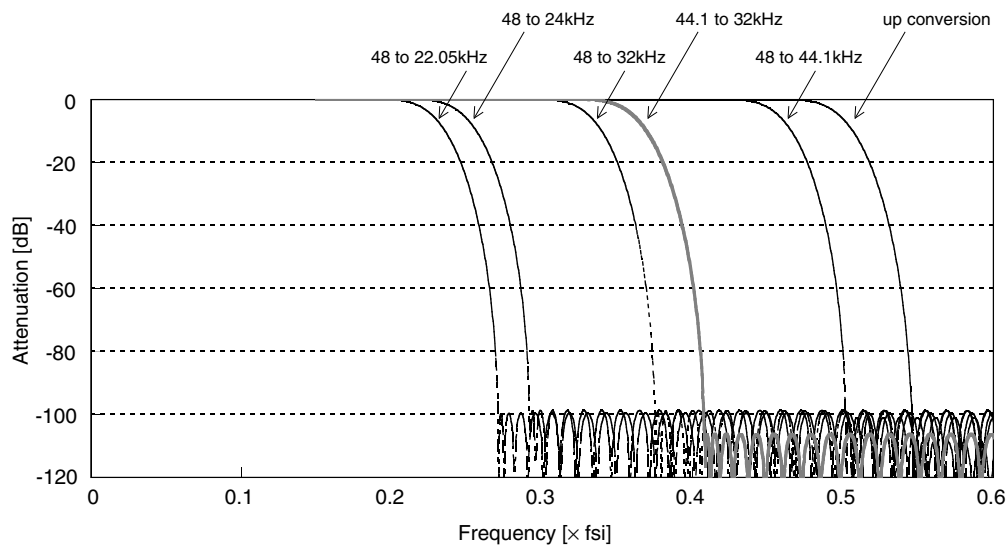


図 1：アンチエイリアジングフィルタ周波数特性

ディエンファシス (DEEM 端子)

本来のディエンファシスフィルタはアナログ回路構成で規定されています。このゲイン、位相特性を忠実に再現するためデジタルディエンファシスフィルタは IIR 構成とされています。なお、フィルタ係数は、FS0 端子および FS1 端子の設定により $f_s = 44.1\text{kHz}$, 48.0kHz , 32.0kHz の 3 種類の f_{si} 周波数に対応しています。

ディエンファシスの ON/OFF

DEEM 端子 = L : ディエンファシス OFF

DEEM 端子 = H : ディエンファシス ON

ディエンファシスフィルタ係数選択

FS0, FS1 端子設定によりディエンファシスフィルタの選択を行います。

fsi	FS0	FS1
44.1kHz	L	L
44.1kHz	H	L
48.0kHz	L	H
32.0kHz	H	H

ディエンファシスフィルタ特性

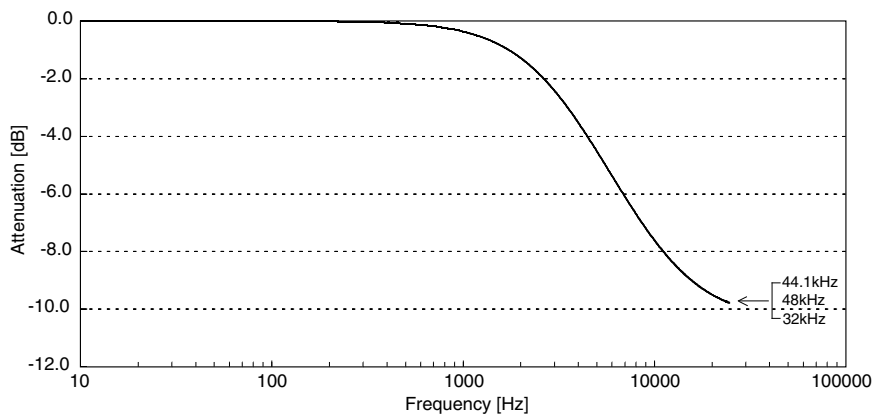


図 2 : ディエンファシスフィルタ周波数特性

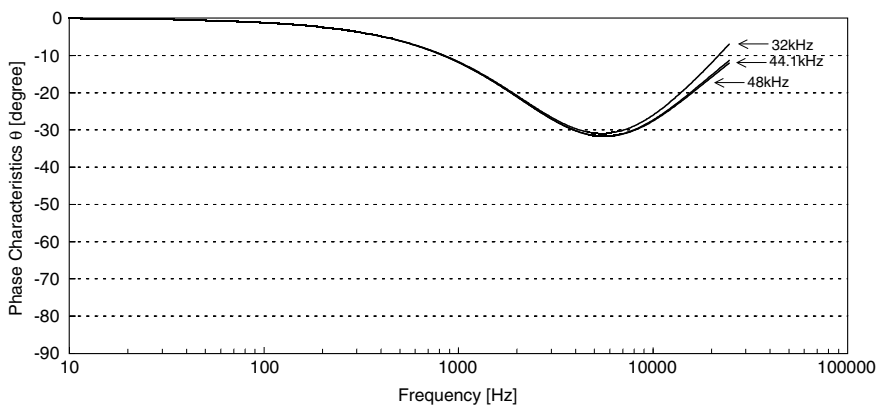


図 3 : ディエンファシスフィルタ位相特性

群遅延時間

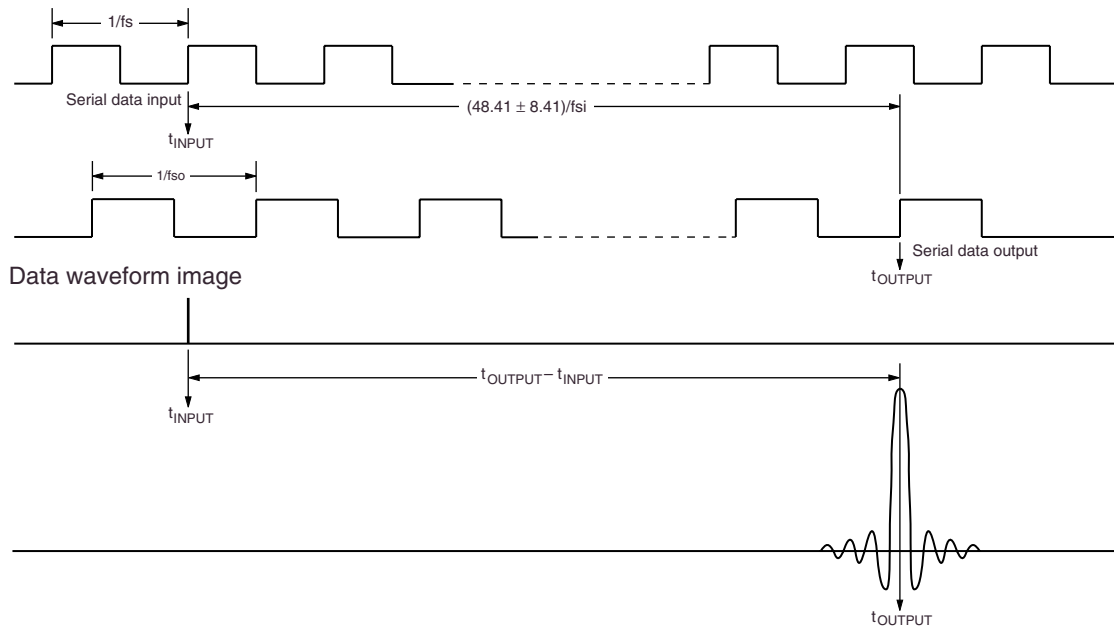
t_{INPUT} : シリアル入力データ (f_{SI} レート) の取り込み終了タイミング (LRCl クロックの立ち上がり)

t_{OUTPUT} : シリアル出力データ (f_{SO} レート) の出力開始タイミング (LRCo クロックの立ち上がり)

としたとき、

$$t_{\text{OUTPUT}} - t_{\text{INPUT}} = (48.41 \pm 8.41)/f_{\text{SI}}$$

となります。



応答時間

変換レート検出部において検出されるサンプルレート変換比は、その算出にある程度の時間を必要とします。SM5950BM に供給される入力側サンプリング周波数 (f_{SI} : LRCl を使用) と出力側サンプリング周波数 (f_{SO} : SCKO を基準として計算) が十分に安定しているという前提で、リセット解除後にサンプルレート変換比が 16bit 精度で求まるまでに必要とされる時間を必要最小応答時間として定義したとき、

$$\text{応答時間} = 16384/f_{\text{SO}} \quad (371\text{ms at } f_{\text{SO}} = 44.1\text{kHz})$$

となります。

■ タイミングチャート

入カタイミング (LRCl, BCKI, DI 端子)

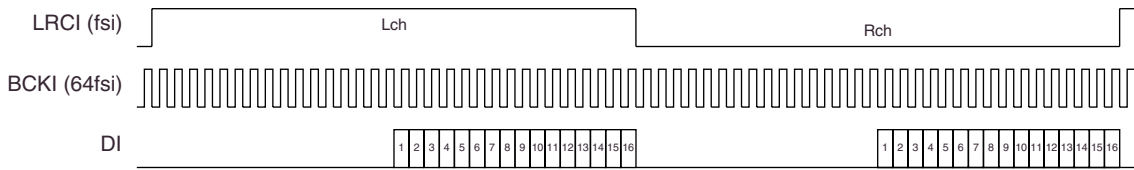


図 4 : 16 ビット MSB ファースト後詰め (IMOD0 = L, IMOD1 = L, IISI = L) BCKI は 32fsi ~ 64fsi に対応

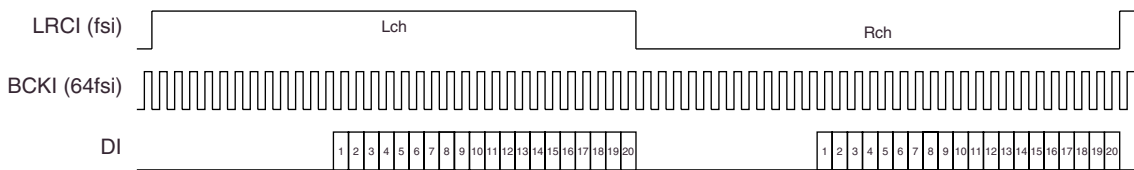


図 5 : 20 ビット MSB ファースト後詰め (IMOD0 = H, IMOD1 = L, IISI = L) BCKI は 40fsi ~ 64fsi に対応

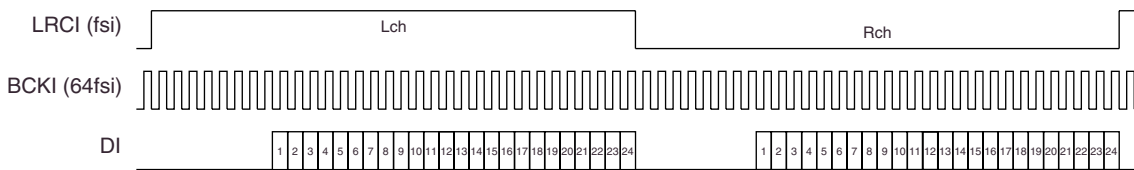


図 6 : 24 ビット MSB ファースト後詰め (IMOD0 = L, IMOD1 = H, IISI = L) BCKI は 48fsi ~ 64fsi に対応

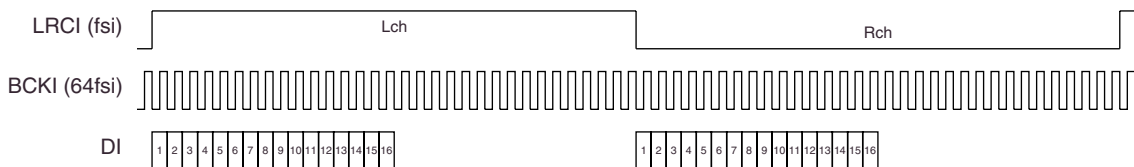


図 7 : MSB ファースト前詰め (有効データ先頭 16bit 以降のデータは無視) (IMOD0 = H, IMOD1 = H, IISI = L) BCKI は 32fsi ~ 64fsi に対応

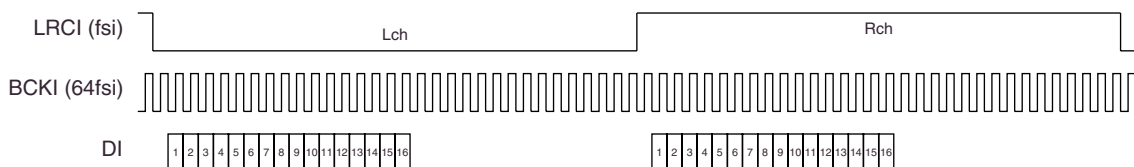


図 8 : IIS (有効データ先頭 16bit 以降のデータは無視) (IMOD0 = H, IMOD1 = H, IISI = H) BCKI は 64fsi のみに対応

出力タイミング (LRCO, BCKO, DOUT 端子)

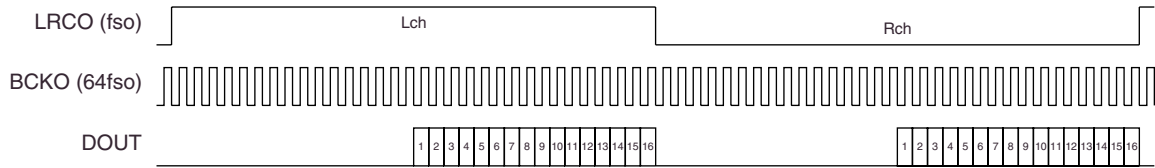


図 9 : 16 ビット MSB ファースト後詰め (OMOD0 = L, OMOD1 = L, IISO = L) BCKO は 64fso のみに対応

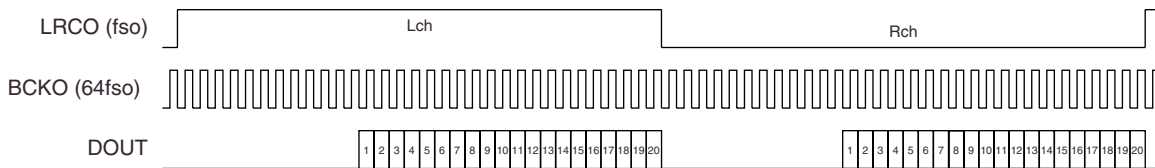


図 10 : 20 ビット MSB ファースト後詰め (OMOD0 = H, OMOD1 = L, IISO = L) BCKO は 64fso のみに対応

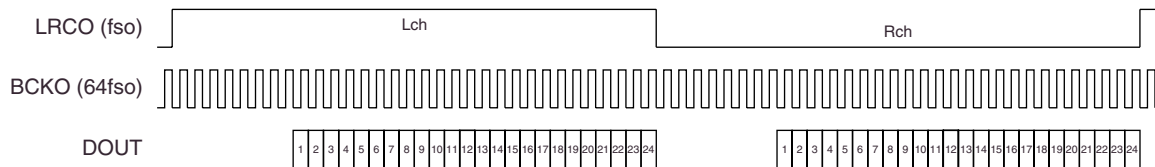


図 11 : 24 ビット MSB ファースト後詰め (OMOD0 = L, OMOD1 = H, IISO = L) BCKO は 64fso のみに対応

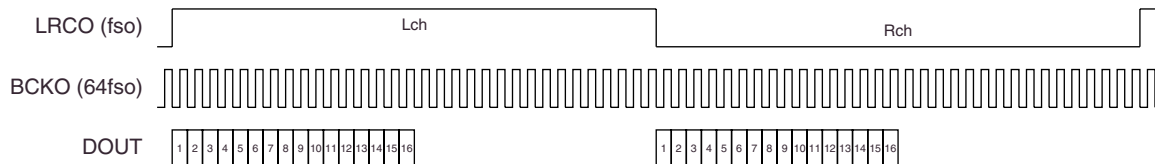


図 12 : MSB ファースト前詰め (16bit 出力) (OMOD0 = H, OMOD1 = H, IISO = L) BCKO は 64fso のみに対応

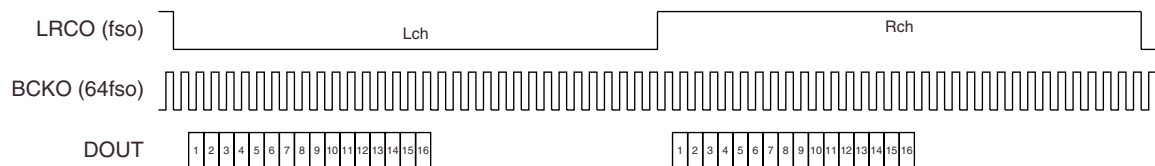
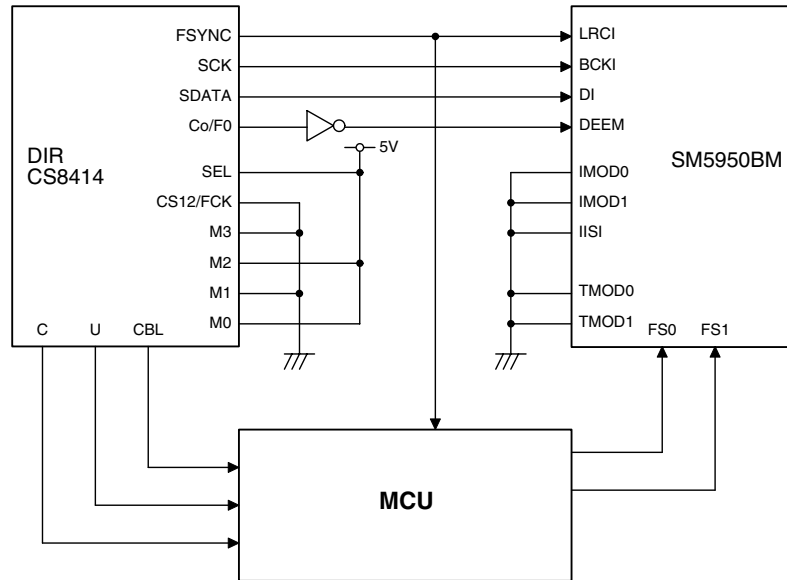


図 13 : IIS (16bit 出力) (OMOD0 = H, OMOD1 = H, IISO = H) BCKO は 64fso のみに対応

■応用回路例

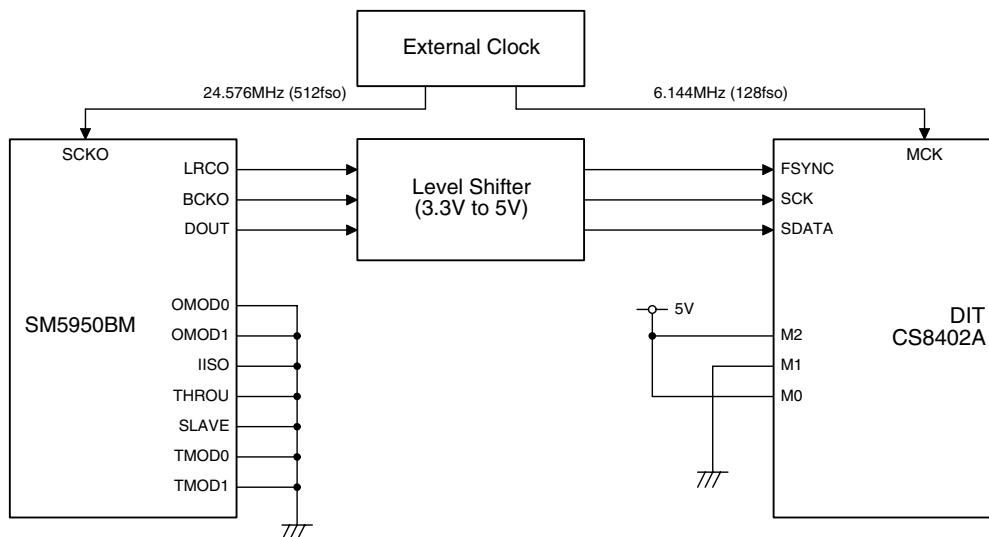
入力インターフェース接続例

デジタルオーディオインターフェースレシーバ (DIR : CS8414) との接続例

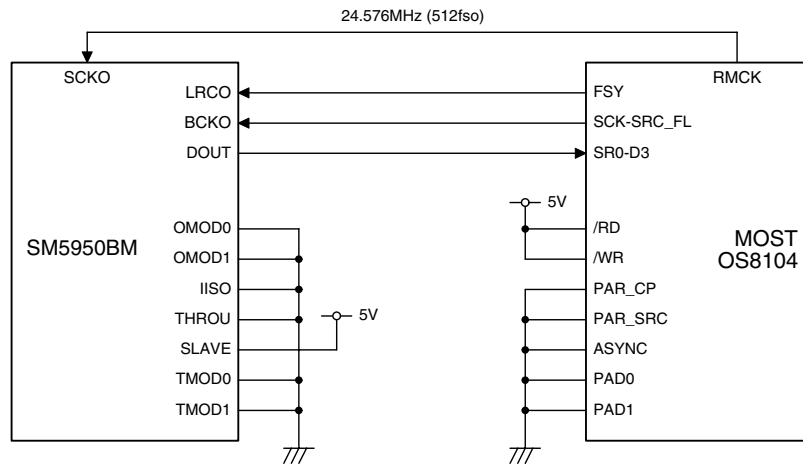


出力インターフェース接続例

デジタルオーディオインターフェーストランシーバ (DIT : CS8402A) との接続例



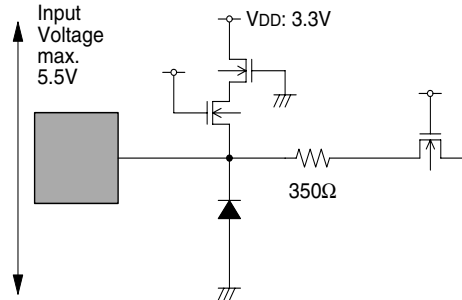
MOST インターフェーストランシーバ (OS8104) との接続例



■入出力端子等価回路図

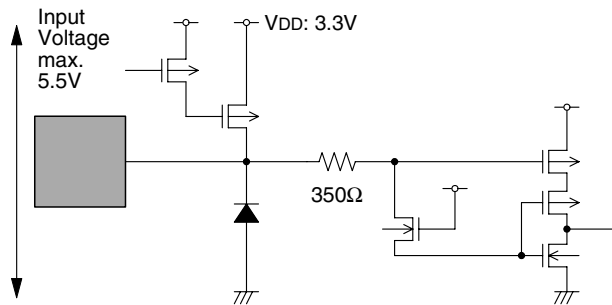
入力端子回路図 – TYPE1

端子名 (端子番号) : LRCI (1), BCKI (2), DI (3), TMOD0 (4), RSTN (5), IISI (7), IMOD0 (8), IMOD1 (9), DEEM (10), FS0 (11), TMOD1 (15), SCKO (20), SLAVE (21)



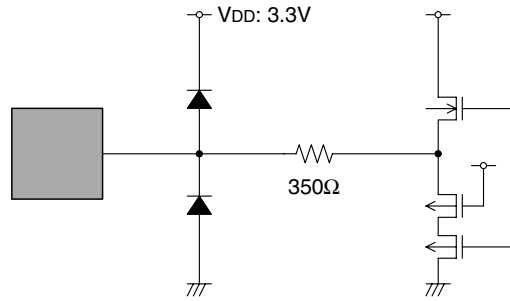
入力端子回路図 – TYPE2

端子名 (端子番号) : FS1 (12), DMUTE (13), OMOD1 (16), OMOD0 (17), IISO (18)



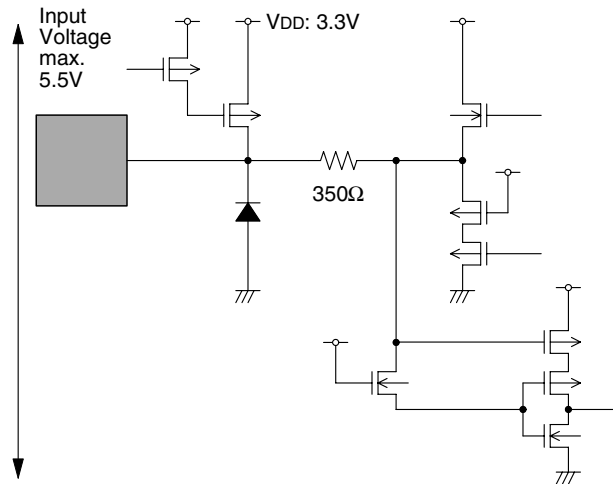
出力端子回路図

端子名 (端子番号) : DOUT (22)



入出力端子回路図

端子名 (端子番号) : BCKO (23), LRCO (24)



このカタログに記載されている製品のご使用に際しては、次の点にご注意くださいますようお願い申し上げます。

1. このカタログに記載されている製品は、その故障または誤作動が直接人命に関わる製品に使用されることを意図しておりません。このような使用をご検討の場合には、必ず事前に当社営業部までご相談ください。
なお、事前のご相談なく使用され、そのことによって発生した損害等については、当社では一切責任を負いかねますのでご了承ください。
2. このカタログに記載されている内容は、特性、信頼性等の改善のため予告なしに変更されることがありますので予めご了承ください。
3. このカタログに記載されている内容は、第三者の知的財産権その他の権利を侵害していないことを保証するものではありません。したがって、その使用に起因する第三者の権利に対する侵害について当社は責任を負いかねますのでご了承ください。
4. このカタログに記載されている回路等の定数は一例を示すものであり、量産に際しての設計を保証するものではありません。
5. このカタログに記載されている製品の全部または一部が、外国為替及び外国貿易法その他の関係法令に定める物資に該当する場合は、それらの法令に基づく輸出の承認、許可が必要になりますので、お客様の方でその申請手続きをお取りくださるようお願いいたします。



セイコーNPC株式会社

本社・東京営業所 〒104-0032 東京都中央区八丁堀 1-9-9
TEL 03-5541-6501 FAX 03-5541-6510

那須塩原事業所 〒329-2811 栃木県那須塩原市下田野 531-1
TEL 0287-35-3111(代) FAX 0287-35-3120

関西営業所 〒550-0004 大阪市西区靱本町 2-3-2
大鯉・住友生命なにわ筋本町ビル 8F
TEL 06-6444-6631(代) FAX 06-6444-6680

<http://www.npc.co.jp/> Email: sales@npc.co.jp