

## Output Waveforms / 出力波形について

Oscillator output waveforms can be CMOS, LVPECL, or LVDS logic-level formats. These output waveforms each have their own characteristic output loading which can vary greatly depending on the measurement method and measurement conditions.

オシレータの出力形式にはCMOS、LVPECL、LVDSなどがあります。これらの出力波形には固有の出力負荷があり、測定方法や測定環境により、大きく左右されます。

### ■ CMOS Output Devices / CMOS出力品

The output stage uses CMOS (Complementary Metal Oxide Semiconductor) devices. The output waveform amplitude swings between  $V_{DD}$  and  $V_{SS}$  (see Figure 1).

CMOS (Complementary Metal Oxide Semiconductor)から出力される波形です。出力波形は $V_{DD}$ から $V_{SS}$ までスイングします。(Figure 1 参照)

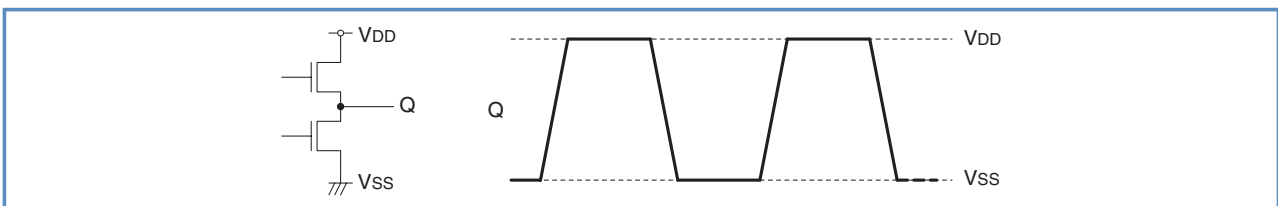


Figure 1. CMOS output circuit and waveform / CMOS出力の回路図と波形

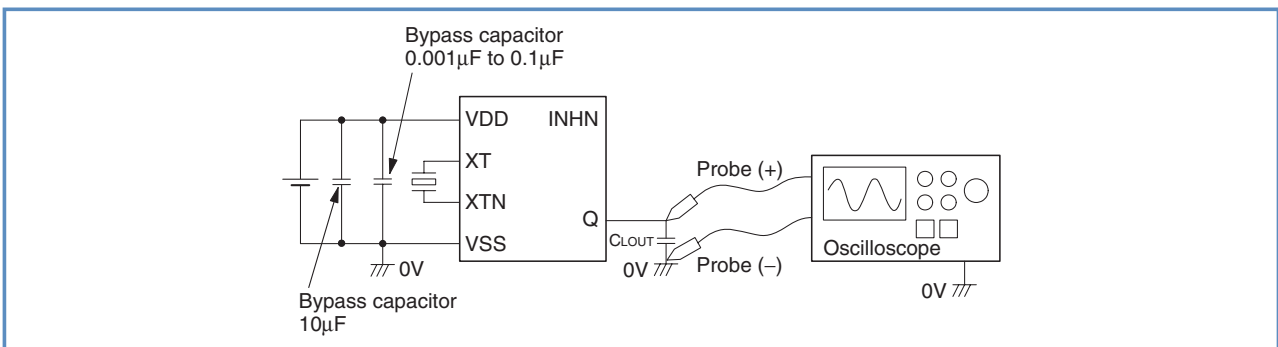


Figure 2. CMOS output measurement circuit / CMOS出力の測定回路

### ● CMOS output device usage notes / CMOS出力品の注意点

CMOS device outputs are not terminated, hence wiring and board parasitic capacitance effects can increase greatly as the frequency is increased. The output wraparound noise can be become large due to the common impedances formed by the parasitic components between  $V_{DD}$  and  $V_{SS}$  supply lines. Wraparound noise reduction measures may be necessary.

- (1) Unused leads should be eliminated as much as possible to minimize the effects of parasitic components and reflection.
- (2) Oscilloscope probe points should be placed near the oscillator IC to minimize the effects of reflection.
- (3) Bypass capacitors should be positioned directly adjacent to the oscillator IC between the supply lines to reduce supply noise.

CMOS出力は出力が終端されていないため、周波数が高くなるにつれて配線リードやボード上の寄生容量の影響が大きくなります。出力が電源ライン等の寄生素子である共通インピーダンスによって、 $V_{DD}$ や $V_{SS}$ などに発生する回り込みノイズも大きくなります。回り込みノイズを軽減させるために以下の点に注意して下さい。

- (1) 配線は極力短くし、寄生素子、反射の影響を最小限にして下さい。
- (2) プロービングポイントはオシレータICに近い場所で行うことで、反射の影響を最小限にして下さい。
- (3) 電源間のノイズ低減のために、バイパスコンデンサをオシレータICに対して直近に配置して下さい。

## ■ LVPECL Output Devices / LVPECL出力品

The output stage uses LVPECL (Low Voltage Positive Emitter Coupled Logic) devices with 50Ω terminated differential outputs with the termination at a Vcc-2.0V voltage node. The output waveform amplitude swings 800mV around a 2.0V center voltage (See Figure 3).

LVPECL (Low Voltage Positive Emitter Coupled Logic)はVcc-2.0Vで50Ω終端された差動出力です。出力波形は2.0V中心で800mVの振幅でスイングします。(Figure 3参照)

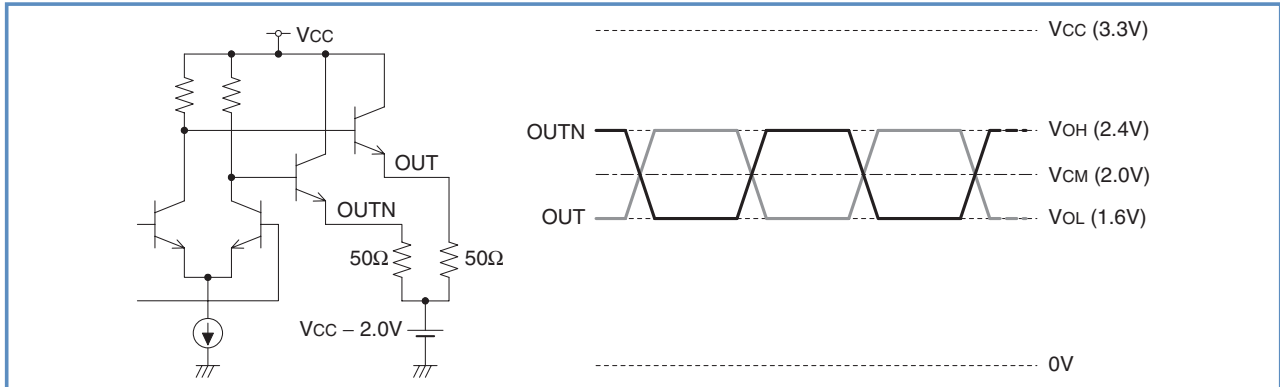


Figure 3. LVPECL output circuit and waveform / LVPECL出力の回路図と波形

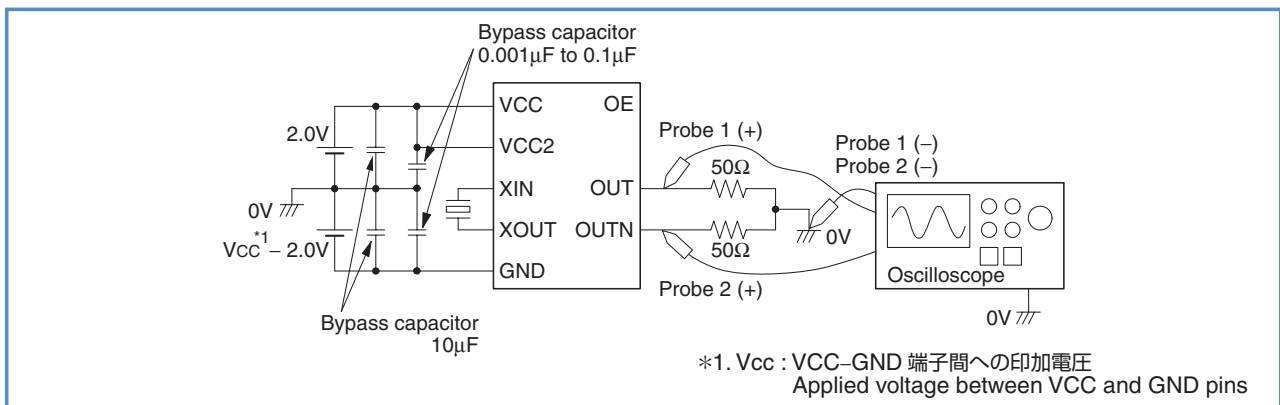


Figure 4. LVPECL output measurement circuit / LVPECL出力の測定回路

## ● LVPECL output device usage notes / LVPECL出力品の注意点

- (1) Unused leads should be eliminated as much as possible to minimize the effects of parasitic components and reflection.
- (2) Oscilloscope probe points should be placed near the oscillator IC to minimize the effects of reflection.
- (3) Bypass capacitors should be positioned directly adjacent to the oscillator IC between the supply lines to reduce supply noise.
- (4) The supply voltage, whether provided by 2 outputs from a ± dual supply or 2 separate supplies, must be connected between the VCC and GND pins. Note that the voltage applied to the VCC pin must be +2.0V constant.  
(Ex. For +3.3V operation, connect a +2.0V supply to VCC, and a -1.3V to GND.)
- (5) The measurement circuit OUT and OUTN pins must both be terminated by a 50Ω resistance to the 0V supply line.

- (1) 配線は極力短くし、寄生素子、反射の影響を最小限にして下さい。
- (2) プロービングポイントはオシレータICに近い場所で行うことで、反射の影響を最小限にして下さい。
- (3) 電源間のノイズ低減のために、バイパスコンデンサをオシレータICに対して直近に配置して下さい。
- (4) ±出力の2端子出力の電源または、電源2台を使い、VCC-GND端子間に電源電圧を印加して下さい。  
ただし、VCC端子の印加電圧は+2.0V固定にして下さい。  
(ex. +3.3V動作の場合は、VCC端子：+2.0V、GND端子：-1.3Vを印加して下さい。)
- (5) OUT, OUTN端子はそれぞれ50Ωの抵抗で終端し、終端電圧は必ず0Vにして下さい。

## ■ LVDS Output Devices / LVDS出力品

The output stage uses LVDS (Low Voltage Differential Signaling) devices with  $50\Omega$  terminated, differential outputs. The output waveform amplitude between OUT and OUTN swings by  $350\text{mV}$  (See Figure 5).

LVDS (Low Voltage Differential Signaling)は $50\Omega$ 終端された差動出力です。出力波形はOUT端子とOUTN端子の差動振幅となり、 $350\text{mV}$ の振幅でスイングします。(Figure 5参照)

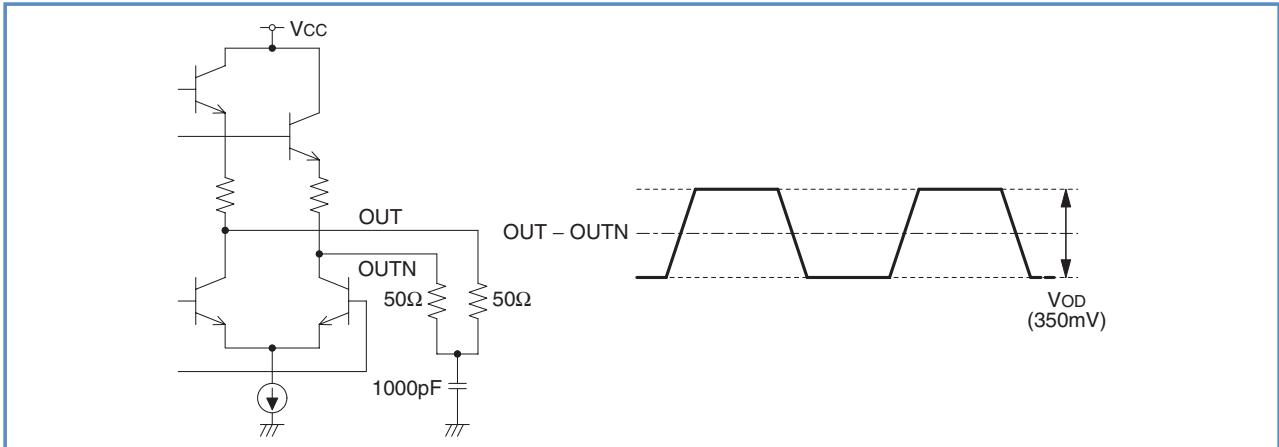


Figure 5. LVDS output circuit and waveform / LVDS出力の回路図と波形

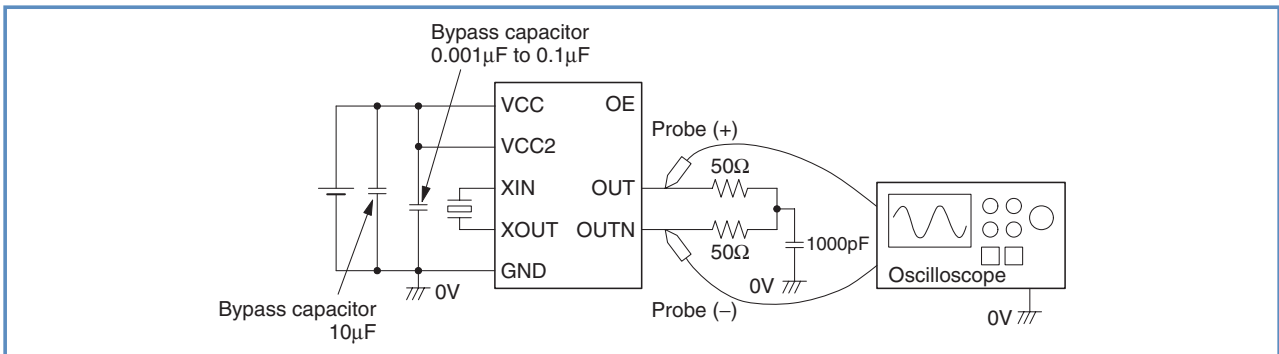


Figure 6. LVDS output measurement circuit / LVDS出力の測定回路

## ● LVDS Output Device Usage Notes / LVDS出力品の注意点

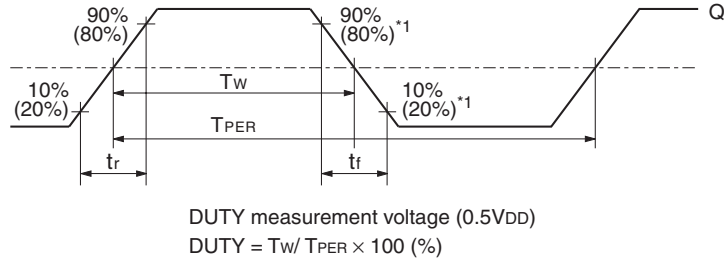
A differential probe is required to monitor the LVDS differential output waveform.

- (1) Unused leads should be eliminated as much as possible to minimize the effects of parasitic components and reflection.
- (2) Oscilloscope probe points should be placed near the oscillator IC to minimize the effects of reflection.
- (3) Bypass capacitors should be positioned directly adjacent to the oscillator IC between the supply lines to reduce supply noise.
- (4) Always use a differential probe.

LVDSの出力は差動波形をモニタリングするため、差動プローブで測定を行う必要があります。

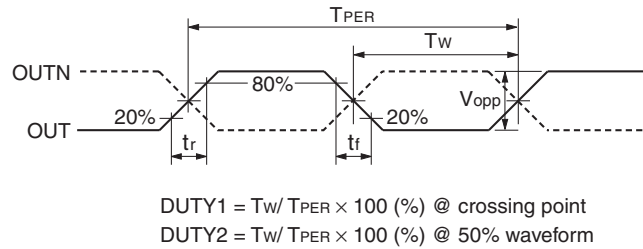
- (1) 配線は極力短くし、寄生素子、反射の影響を最小限にして下さい。
- (2) プロービングポイントはオシレータICに近い場所で行うことで、反射の影響を最小限にして下さい。
- (3) 電源間のノイズ低減のために、バイパスコンデンサをオシレータICに対して直近に配置して下さい。
- (4) プローブは必ず差動プローブを使用して下さい。

## CMOS



\*1. The specified value varies by device.  
規定値は商品により異なります。

## LVPECL



## LVDS

