

IBIS Model / IBIS モデルについて

■ What is IBIS? / IBISとは？

IBIS is an abbreviation for "Input/Output Buffer Information Specification," a standard being developed by the IBIS Open Forum teamed by the EIA (Electronic Industries Alliance in the US) and allied associations. IBIS uses an ASCII format to describe the I/O buffer operation of devices. The information in the model includes the device pin assignment, package, wiring "L, C, R" information, and input/output signal characteristics (rise time and fall time).

IBISとは、「Input/Output Buffer Information Specification」の略であり、EIA (米国電子工業会)と提携関係にあるIBISオープン・フォーラムが開発中の規格です。IBISは、ASCIIフォーマットを使用してデバイスの各種I/Oバッファの動作を記述したものです。デバイスのPinアサイン情報やパッケージや配線のL, C, R情報、入出力の信号特性(立ち上がり時間、立ち下がり時間)を記述しています。

■ Advantages of IBIS / IBISの利点

Internal circuit structure knowledge is not required in order to conduct simulations simply.

回路の内部構造の知識が必要なく、簡易的にシミュレーションを行なうことができる点です。

■ Intended Goal / 使用目的

IBIS is a model for simulating printed circuit board design. It simulates the signal reflection and noise on the printed circuit board's various transmission lines. This allows designers to optimize printed circuit board component layout based on the IBIS simulation results before manufacture.

プリント基板設計のためのシミュレーション用モデルです。プリント基板の各伝送線路を通る信号の反射やノイズをシミュレーションすることができます。IBISの結果をもとに、部品配置などを考慮した最適な基板を作成することができます。

■ IBIS (Simulation) Accuracy / IBIS(シミュレーション)の精度

System circuit board simulation accuracy is determined by the interconnect modeling characteristics of each system component. Furthermore, the interconnect modeling accuracy varies with the manufacturer, making it essential to verify the model by comparing simulation with actual measurements. When an IC is physically mounted on a printed circuit board, the "L, C, R" parasitic components that exist between the supply (vdd), ground line (vss), and output pins (q_out) are also taken into consideration. These parasitic components can give rise to ringing in the output waveform and other side effects that can cause incorrect operation.

システム基板のシミュレーション精度は、システム基板各部品の合わせ込み精度によって決定されます。また、部品の合わせ込み精度は、メーカーによって異なるため、実測とシミュレーションの比較を通したモデルの検証が重要になります。ICを基板に実装する際は、Figure 1のように電源(vdd)、GND (vss)、出力端子(q_out)などの端子間にLやC、Rが付いてしまいます。この寄生成分のL, C, Rが付くと、出力波形がリングング増加などの変化を起し、出力波形を使用するICが誤作動する場合があります。

■ NPC Model Usage Notes / NPCモデル使用上の注意

NPC IBIS Model includes IC and package modeling. The package modeling uses an NPC model that is modified to suit the package used.

NPCのIBISモデルは、ICとパッケージまでのモデルを作成しています。パッケージのモデルはNPCのモデルを使用しています。よって、使用するパッケージに合わせてモデルを変更する必要があります。

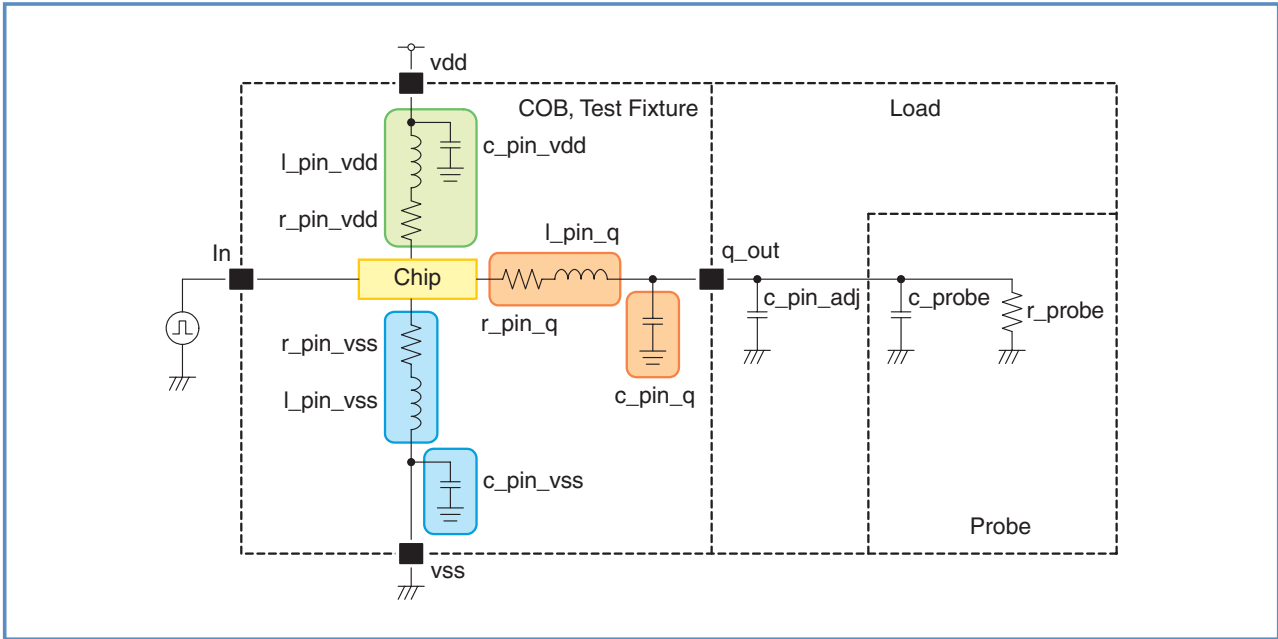


Figure 1. Measurement parasitic components simulation model
 実測時の寄生成分シミュレーションモデル

```
[Model] sm●●●●_q
Model_type Output
C_comp 2.0600pF 2.0600pF 2.0600pF

[Temperature Range] 25.0000 85.0000 -40.0000
[Voltage Range] 5.0000V 4.5000V 5.5000V
[Pulldown]
Voltage I(typ) I(min) I(max)
-5.00 -6.9260A -7.0150A -6.8450A
-4.84 -6.6670A -6.7600A -6.5830A
-4.68 -6.4090A -6.5050A -6.3210A
-4.52 -6.1500A -6.2490A -6.0590A

[Component] sm●●●●
[Manufacturer] SEIKO NPC INC.
[Package]
variable typ min max
R_pkg 61.6600m 61.6600m 61.6600m
L_pkg 1.6400nH 1.6400nH 1.6400nH
C_pkg 73.9000fF 73.9000fF 73.9000fF
[Pin] signal_name model_name R_pin L_pin C_pin
6 xtn NC NA NA NA
5 vdd POWER 59.3700m 1.3700nH 71.0000fF
lin in dummy
4 q sm●●●●_q 61.6600m 1.6400nH 73.9000fF
3 vss GND 63.9700m 1.6400nH 76.8000fF
2 xt NC NA NA NA
1 inhn NC NA NA NA

[Ramp]
lvariable typ min max
dV/dt_r 2.2578/0.3945n 1.7082/0.6923n 2.7888/0.2633n
dV/dt_f 2.2068/0.3577n 1.5438/0.6677n 2.7893/0.2571n
R_load = 50.0000
[Rising Waveform]
R_fixture = 50.0000
V_fixture = 0.0
V_fixture_min = 0.0
V_fixture_max = 0.0
time V(typ) V(min) V(max)
0.0S 0.5442uV 0.0V 1.2400uV
0.20nS 0.3030mV 0.2918mV 0.5692mV
0.40nS 2.3290mV 0.2795mV -14.8900mV
0.61nS -15.8800mV 1.6850mV 0.4520V
```

Figure 2. IBIS model example
 IBIS Modelの実例